



УДК 519.7

Маскирование неисправностей полюсов логических схем с использованием частичных функций

А. Ю. Матросова, В. А. Провкин, В. В. Андреева

Матросова Анжела Юрьевна, доктор технических наук, профессор кафедры компьютерной безопасности, Национальный исследовательский Томский государственный университет, Россия, 634050, г. Томск, ул. Ленина, д. 36, mau11@yandex.ru

Провкин Виктор Алексеевич, аспирант кафедры компьютерной безопасности, Национальный исследовательский Томский государственный университет, Россия, 634050, г. Томск, ул. Ленина, д. 36, prowkan@mail.ru

Андреева Валентина Валерьевна, кандидат технических наук, доцент кафедры компьютерной безопасности, Национальный исследовательский Томский государственный университет, Россия, 634050, г. Томск, ул. Ленина, д. 36, avv.21@mail.ru

Рассматриваются комбинационные логические схемы (комбинационные составляющие схем с памятью). Предлагается маскирование логических неисправностей внутренних полюсов схемы с помощью внешней подсхемы в условиях подключения ее входов к входам корректируемой комбинационной схемы и выходов – к соответствующим внутренним полюсам корректируемой схемы. Изложен алгоритм получения частичной функции внутреннего полюса схемы, основанный на использовании операций над ROBDD-графами. Синтез маскирующей схемы для множества неисправных полюсов сведен к построению реализации системы частичных функций в виде системы ДНФ и использованию ее в качестве задания на синтез в системе логического проектирования ABC. Эксперименты на контрольных примерах выявили возможность существенного сокращения аппаратурной избыточности при применении предлагаемого подхода.

Ключевые слова: комбинационные схемы, частичные функции, маскирующие схемы, Reduced Ordered Binary Decision Diagrams (ROBDD-графы).

Поступила в редакцию: 11.11.2019 / Принята: 30.12.2019 / Опубликовано: 30.11.2020

Статья опубликована на условиях лицензии Creative Commons Attribution License (CC-BY 4.0)

DOI: <https://doi.org/10.18500/1816-9791-2020-20-4-517-526>

ВВЕДЕНИЕ

Рассматриваются логические неисправности на полюсах логических элементов комбинационной схемы (комбинационной составляющей схемы с памятью), одиночные и кратные. Такие неисправности, например, могут быть обнаружены в процессе производства схемы на последних этапах ее создания. Активирование различного рода вредоносных подсхем (Trojan circuits (TCs)), выход которых подключен к одной из линий схемы, также проявляется как логическая неисправность входного полюса элемента, инцидентного этой линии. Нередко возникает необходимость в изменении спецификации схемы, которая сводится к изменению логических функций некоторых полюсов элементов схемы. Для обеспечения корректного функционирования схемы во всех перечисленных случаях необходимо маскировать неисправности соответствующих полюсов, одного или нескольких.



Рассматривается ситуация, когда корректирующая схема (она может иметь несколько выходов) подключается к входам корректируемой комбинационной схемы и к ее внутренним полюсам. Такое предположение согласуется с реальными возможностями коррекции схем в рамках ЕСО (Engineering Change Order) технологий [1–6]. В работе исследуется одна из задач ЕСО технологии — формирование маскирующей функции с последующим построением ее реализации. Спецификация предполагается представленной описанием структуры логической схемы. Несовпадение поведения схемы и спецификации, вызванное вышеперечисленными причинами, может быть обнаружено на некотором подмножестве входных наборов схемы, причем нет необходимости искать все наборы, на которых несовпадение проявляется. Это основное отличие предлагаемого подхода от традиционных подходов к маскированию [1–6].

При получении корректирующей (маскирующей) схемы в рамках ЕСО технологий обычно используются либо SAT решатели [7], либо квантифицированные SAT(QBS) решатели [8]. Традиционный подход дает возможность получать некоторую полностью определенную функцию, маскирующую неисправность, для полюса схемы, построенную на основе результатов моделирования, т. е. вычисленную, как правило, на некотором подмножестве входных наборов схемы. Частичная функция полюса, порождаемая схемой в целом, на всем множестве входных наборов остается неизвестной.

Предлагаемый в данной работе подход основан на использовании множеств единичных и нулевых наборов частичной функции полюса, порождаемой схемой в целом. Частичная функция компактно представляется двумя ROBDD-графами, построенными на основе анализа схемы без использования моделирования. Знание частичной функции позволяет получать реализацию, гарантирующую маскирование неисправности на всем множестве входных наборов схемы.

В работе описан алгоритм вычисления частичной функции полюса корректируемой схемы, обеспечивающий представление множества единичных наборов функции ROBDD графом R_1 , а множества нулевых наборов — графом R_0 . Далее по заданным графам находится безызыточная ДНФ методом, предложенным в работе [9]. Полученная безызыточная ДНФ реализуется системой АВС [10] в виде логической схемы, которая подключается к входам и внутреннему полюсу корректируемой схемы. Если неисправны несколько полюсов, то строится либо система безызыточных ДНФ, либо безызыточная система ДНФ, которая затем используется в качестве задания на синтез многовыходной корректирующей схемы в системе АВС. Приводятся результаты экспериментов на контрольных примерах (схемах).

В разделе 1 дается постановка задачи, в разделе 2 представляется алгоритм вычисления частичной функции внутреннего полюса схемы. В разделах 3 и 4 обсуждается подход к построению маскирующей схемы и ее подключению к корректируемой схеме. В разделе 5 приводятся результаты экспериментов на контрольных примерах.

1. ПОСТАНОВКА ЗАДАЧИ

Задана комбинационная схема C и множество ее неисправных полюсов. Требуется построить корректирующую (маскирующую) схему из вентилях, которая реализует систему частичных функций этих полюсов. В частности, система может



содержать одну функцию (в случае одиночной неисправности схемы C). При этом желательно, чтобы корректирующая схема состояла по возможности из меньшего числа вентилях. Некоторые из неисправных полюсов могут быть входными полюсами элементов схемы, в этом случае вместо неисправности полюса будем говорить о неисправности линии, связывающей рассматриваемый полюс с выходом предшествующего элемента схемы. Предполагается, что входы маскирующей схемы являются входами корректируемой схемы. Выходы маскирующей схемы сопоставляются неисправным полюсам корректируемой схемы. Отметим, что выход маскирующей схемы соединяется в общем случае с соответствующими входами нескольких элементов схемы. Эта ситуация имеет место, когда неисправный полюс является точкой ветвления, инцидентной выходу элемента корректируемой схемы. В случае неисправности линии соответствующий выход корректирующей схемы соединяется с входом элемента, в которую эта линия заходит.

Будем иметь в виду, что каждому внутреннему полюсу v схемы C соответствует частично определенная булева функция. Частичная функция полюса задается множествами единичных и нулевых наборов $M_1(f_v)$ и $M_0(f_v)$. Частичная функция, сопоставляемая полюсу v , определяется только на тех входных наборах корректируемой схемы, на которых смена значения в рассматриваемом полюсе изменяет значение хотя бы одного выхода схемы.

Рассмотрим частичную функцию f_1 и полностью определенную функцию f_2 , представленные парами множеств единичных и нулевых наборов значений одних и тех же переменных: $M_1(f_1)$, $M_0(f_1)$; $M_1(f_2)$, $M_0(f_2)$. Будем говорить, что полностью определенная функция f_2 реализует частичную функцию f_1 , если выполняется условие: пересечения множеств $M_1(f_1)$, $M_0(f_2)$ и множеств $M_0(f_1)$, $M_1(f_2)$ пусты. Это значит, что $M_1(f_2)$ содержит $M_1(f_1)$ и $M_0(f_2)$ содержит $M_0(f_1)$.

Если на полюсе v обнаружена некоторая логическая неисправность, в частном случае константа, это значит, что искажена частичная функция, сопоставляемая этому полюсу. При построении схемы, маскирующей неисправность полюса («схемы-заплатки»), предлагается использовать наборы из области определения частичной функции, чтобы найти по возможности более простую полностью определенную функцию, реализующую частичную функцию рассматриваемого полюса, и, следовательно, более простую логическую схему, маскирующую неисправность этого полюса. Предлагается получать представление реализующей полностью определенной функции в виде безызыточной ДНФ. Если в схеме C неисправны несколько полюсов: $V = \{v_1, \dots, v_q\}$, то можно находить безызыточную ДНФ для каждого из неисправных полюсов, а затем строить маскирующую схему по системе безызыточных ДНФ. Другой подход заключается в получении безызыточной системы ДНФ, реализующей каждую из частичных функций полюсов множества V , и построении маскирующей схемы по безызыточной системе ДНФ. Преимущество одного из двух подходов зависит от свойств корректируемой комбинационной схемы (комбинационной составляющей последовательностной схемы).

2. ПОСТРОЕНИЕ ЧАСТИЧНОЙ ФУНКЦИИ

Внутреннему полюсу v схемы наряду с частичной функцией сопоставляется полностью определенная функция $\phi(x_1, x_2, \dots, x_n)$, реализуемая подсхемой, выходом которой является полюс v , а входами — входы корректируемой схемы. Полностью определенная функция может быть представлена ROBDD-графом $R(\phi)$. Частичная



функция рассматриваемого полюса порождается включением подсхемы в корректируемую схему C . Частичная функция определена не на всех единичных (нулевых) наборах полностью определенной функции $\phi(x_1, x_2, \dots, x_n)$, а только на тех из них, на которых изменение значения функции $\phi(x_1, x_2, \dots, x_n)$ влияет на значение хотя бы одной функции, реализуемой схемой C . Заметим, что функция $\phi(x_1, x_2, \dots, x_n)$ является одной из реализаций частичной функции полюса v , сопоставляемой этому полюсу. Множества единичных и нулевых наборов частичной функции схемы C будем представлять двумя ROBDD-графами $R_1(v)$ и $R_0(v)$. Построение частичной функции сводится к поиску всех тестовых наборов для константных неисправностей полюса v . Множество всех тестовых наборов для неисправности константа 0 есть множество $M_1(f_v)$, а множество всех тестовых наборов для неисправности константа 1 есть множество $M_0(f_v)$ частичной функции этого полюса. Для вычисления данных множеств воспользуемся функцией наблюдаемости полюса v [11].

Вычисление функции наблюдаемости полюса v комбинационной схемы C (комбинационной составляющей последовательностной схемы) относительно i -го выхода сводится к выполнению следующих операций.

Сначала строится ROBDD-граф $R(C_v^i)$ подсхемы C_v^i , сопоставляемой i -му выходу, в предположении, что полюс v является входом этой подсхемы. Граф $R(C_v^i)$ представляет функцию $f_i(v, x_1, \dots, x_n)$, причем переменная v используется в качестве первой в разложении Шеннона при построении графа. Далее строится функция наблюдаемости относительно i -го выхода:

$$D_v f_i = f_i^{v=0} \oplus f_i^{v=1}.$$

Здесь $f_i^{x=0} = f_i(0, x_1, \dots, x_n)$, $f_i^{x=1} = f_i(1, x_1, \dots, x_n)$. Функция наблюдаемости зависит от входных переменных схемы и принимает единичное значение на тех наборах, на которых изменение значения переменной v меняет значение i -го выхода схемы. Перепишем функцию $D_v f_i$ (булеву разность функции $f_i(v, x_1, \dots, x_n)$ по переменной v) в виде: $D_v f_i = f_i^{v=0} f_i^{v=1} \vee \overline{f_i^{v=0}} f_i^{v=1}$. Построение этой функции сводится к операциям над ROBDD-графами $R(f_i^{v=0})$, $R(f_i^{v=1})$, $\overline{R(f_i^{v=0})}$, $\overline{R(f_i^{v=1})}$, представляющими функции $f_i^{v=0} = f_i(0, x_1, \dots, x_n)$, $f_i^{v=1} = f_i(1, x_1, \dots, x_n)$ и их инверсии. Заметим, что ROBDD-графы $R(f_i^{v=0})$, $R(f_i^{v=1})$ извлекаются из ROBDD-графа $R(C_v^i)$. Их корни являются дочерними вершинами этого графа, инцидентными нулевой и единичной дугам, соответственно, исходящим из корня графа. Графы $\overline{R(f_i^{v=0})}$, $\overline{R(f_i^{v=1})}$ получаются из графов $R(f_i^{v=0})$, $R(f_i^{v=1})$ инвертированием терминальных полюсов. Операции над графами характеризуются полиномиальной сложностью. Для построения функции f^{obs} , представляющей наблюдаемость внутреннего полюса схемы относительно всех выходов схемы C , связанных с полюсом v , воспользуемся формулой

$$f^{obs} = \bigvee_{i=1}^{m_v} (D_v f_i) = \bigvee_{i=1}^{m_v} \left(f_i^{v=0} \overline{f_i^{v=1}} \vee \overline{f_i^{v=0}} f_i^{v=1} \right),$$

где m_v — число выходов схемы, связанных с полюсом v . Выполнив операции над соответствующими ROBDD-графами, получаем граф R^{obs} , представляющий функцию f^{obs} наблюдаемости полюса v . Графы, представляющие множества единичных и нулевых наборов частичной функции, вычисляются следующим образом:

$$R_1(v) = R(\phi) R^{obs} = R(\phi) \left[\bigvee_{i=1}^{m_v} \left(R(f_i^{v=0}) \overline{R(f_i^{v=1})} \vee \overline{R(f_i^{v=0})} R(f_i^{v=1}) \right) \right],$$



$$R_0(v) = \overline{R(\phi)} R^{obs} = \overline{R(\phi)} \left[\bigvee_{i=1}^{m_v} \left(R(f_i^{v=0}) \overline{R(f_i^{v=1})} \vee \overline{R(f_i^{v=0})} R(f_i^{v=1}) \right) \right].$$

Эти графы являются компактным представлением частичной функции полюса v . Каждый из графов задает ортогональную ДНФ, конъюнкции которой порождаются простыми цепями этого графа, соединяющими его корень с 1 терминальной вершиной. Построив частичную функцию рассматриваемого полюса комбинационной схемы, синтезируем схему, реализующую эту функцию. Эта схема маскирует неисправность полюса v . Желательно, чтобы полученная маскирующая схема была как можно проще, т.е. содержала по возможности меньшее количество логических элементов (вентилей). В случае кратной неисправности $V = \{v_1, \dots, v_q\}$ приходится строить частичные функции для каждого неисправного полюса v_i множества V , представляя их ROBDD-графами $R_1(v_i)$ $R_0(v_i)$.

3. ПОСТРОЕНИЕ МАСКИРУЮЩЕЙ СХЕМЫ

Для синтеза маскирующей схемы предлагается воспользоваться системой логического проектирования ABC (ABC — система синтеза и верификации логических схем, разработанная в Беркли, США [10]). В качестве задания на синтез с использованием этой системы необходимо получить полностью определенную функцию, являющуюся реализацией для соответствующей частичной функции, или систему полностью определенных функций при неисправности нескольких полюсов.

Систему полностью определенных функций предлагается представлять либо в виде системы безызбыточных ДНФ, либо в виде безызбыточной системы ДНФ, используя метод, предложенный в работе [9]. Для получения этих систем используются ROBDD-графы, задающие систему частичных булевых функций неисправных полюсов множества V . Из графов $R_1(v_i)$, $R_0(v_i)$ извлекаются соответствующие ортогональные ДНФ, представляющие области нулевых и единичных наборов частичных функций этих полюсов, которые используются в качестве входных данных для получения системы безызбыточных ДНФ или безызбыточной системы ДНФ [9]. Полученные системы далее применяются в качестве задания на синтез маскирующей схемы в системе логического проектирования ABC.

4. МАСКИРОВАНИЕ НЕИСПРАВНОСТЕЙ ВНУТРЕННИХ ПОЛЮСОВ СХЕМЫ

Система безызбыточных ДНФ или безызбыточная система ДНФ используется системой ABC в качестве задания на синтез маскирующей схемы, в общем случае многовыходной. Сначала рассмотрим способы включения одной выходной маскирующей схемы. Пусть v — внутренний неисправный полюс схемы (рис. 1, а), являющийся точкой ветвления.

Пусть одновыходная маскирующая схема C_m построена. Используя эту схему, можно замаскировать неисправность полюса v при условии доступности входов корректируемой схемы и некоторых ее внутренних полюсов. Для этого разрываются линии связи, идущие из полюса v , и выход маскирующей схемы C_m соединяется с входами элементов, которые непосредственно связаны с полюсом v . Входы маскирующей схемы подключаются к соответствующим входам схемы C . Результат представлен на рис. 1, б.

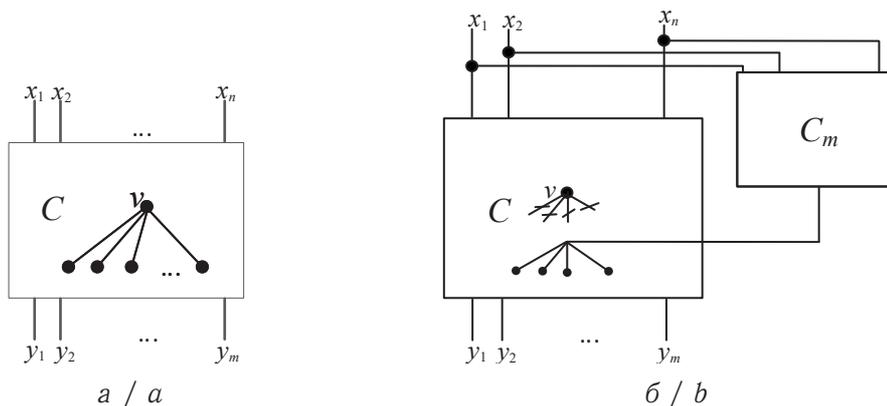


Рис. 1. Комбинационная схема с неисправным полюсом, являющимся точкой ветвления (а), и маскирование неисправного полюса (б)
Fig. 1. Combinational circuit with branch pointfault node (a) and faulty pole masking (b)

Если неисправный полюс не является точкой ветвления (рис. 2, а) или неисправна инцидентная полюсу v линия, например, в результате подключения к ней вредоносной подсхемы, то в этом случае линия, исходящая из полюса v (рис. 2, а), разрывается. Способ подключения представлен на рис. 2, б.

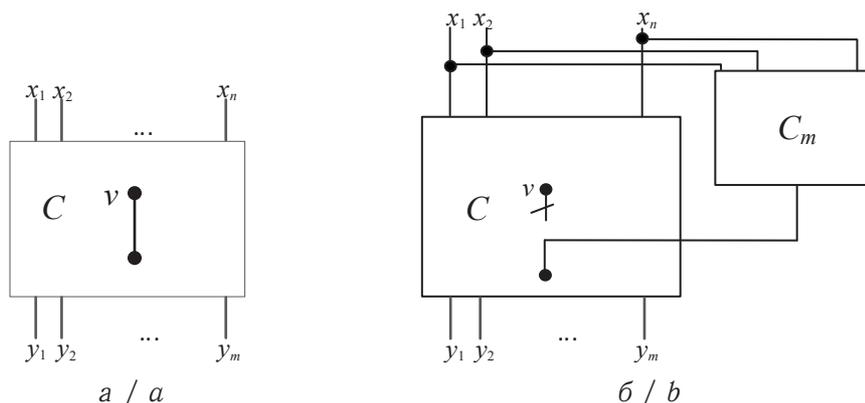


Рис. 2. Комбинационная схема с неисправной линией (а) и маскирование неисправной линии (б)
Fig. 2. Combinational circuit with fault line (a) and masking fault line (b)

Каждый выход многовыходной корректирующей схемы при неисправности нескольких полюсов схемы C и ее линий подключается к соответствующим внутренним полюсам корректируемой схемы аналогичным образом.

5. ЭКСПЕРИМЕНТАЛЬНЫЕ РЕЗУЛЬТАТЫ

Выполнены эксперименты на контрольных примерах. Рассматривались схемы МСНС, все схемы переводились системой АВС в схемы из вентилях с одним или двумя входами. В полученных схемах для внутренних полюсов с низкими вероятностными оценками наблюдаемости строились маскирующие схемы. Оценки наблюдаемости вычислялись с использованием соответствующей полюсу функции наблюдаемости, представленной ROBDD-графом, в предположении, что вероятность единичного значения входной переменной схемы равна $1/2$ [11]. Результаты экспериментов для маскирования одиночных полюсов представлены в таблице.



Таблица / Table

Результаты экспериментов для одиночных неисправностей полюсов схемы
Experimental results for single node faults

Название схемы	Число элементов схемы	Оценка на- блюдаемости полюса	Число элементов под- схемы C_v	Число элементов маскирую- щей схемы	Аппаратурная избыточность, %
Circuit name	The number of gates	Observability estimation	The number of C_v circuit gates	The number of masking circuit gates	Overhead, %
9symml_rs	309	0.0820313	35	20	6.47
		0.1093750	21	14	4.53
		0.1250000	25	16	5.18
alu2_rs	543	0.1074220	35	20	4.05
		0.1093750	118	22	1.29
		0.1093750	97	7	0.55
		0.1250000	96	3	0.92
		0.1250000	93	5	3.13
		0.1308590	154	17	1.29
apex6_rs	856	0.0023269	22	13	4.05
		0.0470810	45	38	4.44
count_rs	207	0.1250000	27	16	7.73
		0.1875030	31	20	9.66
term1_rs	252	0.0981865	18	15	5.6
		0.1250000	35	23	9.09

Для каждой из представленных схем выбрано несколько внутренних полюсов, удаленных от входов корректируемой схемы. Это условие позволяет выделять более сложные подсхемы, выходы которых сопоставляются выбранным полюсам. Входы подсхем совпадают с входами корректируемой схемы. Аппаратурная избыточность определяется отношением числа элементов маскирующей схемы к числу элементов корректируемой схемы (в процентах). Из таблицы видим, что если выбранному полюсу v в схеме C сопоставляется достаточно сложная подсхема C_v (выходом подсхемы является полюс v , а входы совпадают со входами схемы C), то, как правило, предложенный в данной работе подход позволяет существенно (в несколько раз) сократить размеры маскирующей схемы по сравнению со схемой C_v . Для кратных неисправностей при оценке сложности маскирующих подсхем можно суммировать числа элементов в маскирующих подсхемах для каждой из одиночных неисправностей, составляющих кратную неисправность.

ЗАКЛЮЧЕНИЕ

Предложен подход к маскированию неисправностей внутренних полюсов комбинационной схемы, основанный на построении для полюсов частичных функций и получении реализующих эти функции маскирующих схем. Маскирующие схемы подключаются к входным и соответствующим внутренним полюсам корректируемой



схемы. Результаты экспериментов показали, что использование предлагаемого подхода позволяет существенно сокращать размеры маскирующей схемы по сравнению с использованием для маскирования схемы C_v .

Библиографический список

1. *Lin C.-C., Chen K.-C., Chang S.-C., Sadovska M., Cheng K.-I.* Logic synthesis for engineering change // Proceedings of the 32nd Annual ACM/IEEE Design Automation Conference. San Francisco, California, USA, 1995. P. 647–652.
2. *Veneris A., Hajj I.* Design error diagnosis and correction via test vector simulation // IEEE Transaction on Computer Aided Design of Integrated Circuits and Systems. 1999. Vol. 18, iss. 12. P. 1803–1816. DOI: <https://doi.org/10.1109/43.811329>
3. *Chang K.-H., Markov I. L., Bertacco V.* Fixing design errors with counter examples and re-synthesis // Proceedings of the 2007 Asia and South Pacific Design Automation Conference. Yokohama, Japan, 2007. P. 944–949. DOI: <https://doi.org/10.1109/ASPDAC.2007.358111>.
4. *Krishnavami S., Ren H., Modi N., Puri R.* DeltaSyn: An efficient logic difference optimizer for ECO synthesis // 2009 IEEE/ACM International Conference on Computer-Aided Design — Digest of Technical Papers. San Jose, CA, 2009. P. 789–796. DOI: <https://doi.org/10.1145/1687399.1687546>
5. *Cheng A.-C., Jiang H.-R., Jou J.-Y.* Resource-aware functional ECO patch generation // Proceedings of the 2016 Design, Automation & Test in Europe Conference & Exhibition (DATE). Dresden, Germany, 2016. P. 1036–1041. DOI: https://doi.org/10.3850/9783981537079_0946
6. *Dao A. Q., Lee N.-Z., Chen L.-C., Lin M. P.-H., Jiang R. J.-H., Mishchenko A., Brayton R.* Efficient computation of ECO patch functions // Proceedings of the 55th Annual Design Automation Conference. San Francisco, California, USA, 2018. № 51. P. 1–6. DOI: <https://doi.org/10.1109/DAC.2018.8465898>
7. *Een N.* MiniSAT — A sat solver with conflict clause minimization // SAT Competition 2005 : 8th Intern. Conf. on theory and applications of satisfiability testing. St. Andrews, Scotland, UK, 2005. P. 502–518.
8. *Janota M., Marques-Silva J.* Solving QBF by clause selection with conflict clause minimization // Proceedings of the Twenty-Fourth International Joint Conference on Artificial Intelligence. Buenos Aires, Argentina, 2015. P. 325–331.
9. *Матросова А. Ю., Андреева В. В.* Минимизация систем булевых функций, представляющих задание на синтез самопроверяемых дискретных автоматов // Автометрия. 2008. Т. 44, № 5. С. 100–111.
10. ABC : A System for Sequential Synthesis and Verification. URL: <https://people.eecs.berkeley.edu/~alanmi/abc/> (дата обращения: 22.04.2019).
11. *Matrosova A., Ostanin S.* Trojan Circuits Masking and Debugging of Combinational Circuits with LUT Insertion // Automation, Quality and Testing, Robotics. IEEE International Conference. 2018. (AQTR 2018). Cluj-Napoca, Romania, 2018. P. 462–467. DOI: <https://doi.org/10.1109/AQTR.2018.8402793>

Образец для цитирования:

Матросова А. Ю., Провкин В. А., Андреева В. В. Маскирование неисправностей полюсов логических схем с использованием частичных функций // Изв. Сарат. ун-та. Нов. сер. Сер. Математика. Механика. Информатика. 2020. Т. 20, вып. 4. С. 517–526. DOI: <https://doi.org/10.18500/1816-9791-2020-20-4-517-526>



Masking of Internal Nodes Faults Based on Applying of Incompletely Specified Boolean Functions

A. Yu. Matrosova, V. A. Provkin, V. V. Andreeva

Angela Yu. Matrosova, <https://orcid.org/0000-0002-8662-4740>, Tomsk State University (Institute of Applied Mathematics and Computer Science), 36 Lenin St., Tomsk 634050, Russia, mau11@yandex.ru

Victor A. Provkin, <https://orcid.org/0000-0002-3579-3691>, Tomsk State University (Institute of Applied Mathematics and Computer Science), 36 Lenin St., Tomsk 634050, Russia, provwkan@mail.ru

Valentina V. Andreeva, <https://orcid.org/0000-0003-1691-3448>, Tomsk State University (Institute of Applied Mathematics and Computer Science), 36 Lenin St., Tomsk 634050, Russia, avv.21@mail.ru

Combinational circuits (combinational parts of sequential circuits) are considered. Masking of internal nodes faults with applying sub-circuit, inputs of which are connected to the circuit inputs and outputs — to the circuit proper internal nodes, is suggested. The algorithm of deriving incompletely specified Boolean function for an internal node of the circuit based on using operations on ROBDDs is described. Masking circuit (patch circuit) design for the given internal fault nodes is reduced to covering of the system of incompletely specified Boolean functions corresponding to the fault nodes by the proper SoP system. Then the obtained system of completely specified Boolean functions is applied to derive masking circuit by using ABC system (A System for Sequential Synthesis and Verification). Experiments on bench marks show essential cutting of overhead in the frame of the suggested approach.

Keywords: combinational circuits, incompletely specified Boolean functions, patch circuits, Reduced Ordered Binary Decision Diagrams (ROBDDs).

Received: 11.11.2019 / Accepted: 30.12.2019 / Published: 30.11.2020

This is an open access article distributed under the terms of Creative Commons Attribution License (CC-BY 4.0)

References

1. Lin C.-C., Chen K.-C., Chang S.-C., Sadovska M., Cheng K.-I. Logic synthesis for engineering change. *Proceedings of the 32nd Annual ACM/IEEE Design Automation Conference*. San Francisco, California, USA, 1995, pp. 647–652.
2. Veneris A., Hajj I. Design error diagnosis and correction via test vector simulation. *IEEE Transaction on Computer Aided Design of Integrated Circuits and Systems*, 1999, vol. 18, iss. 12, pp. 1803–1816. DOI: <https://doi.org/10.1109/43.811329>
3. Chang K.-H., Markov I. L., Bertacco V. Fixing design errors with counter examples and resynthesis. *Proceedings of the 2007 Asia and South Pacific Design Automation Conference*. Yokohama, Japan, 2007, pp. 944–949. DOI: <https://doi.org/10.1109/ASPDAC.2007.358111>
4. Krishnavami S., Ren H., Modi N., Puri R. DeltaSyn: An efficient logic difference optimizer for ECO synthesis. *2009 IEEE/ACM International Conference on Computer-Aided Design — Digest of Technical Papers*. San Jose, CA, 2009, pp. 789–796. DOI: <https://doi.org/10.1145/1687399.1687546>
5. Cheng A.-C., Jiang H.-R., Jou J.-Y. Resource-aware functional ECO patch generation. *Proceedings of the 2016 Design, Automation & Test in Europe Conference & Exhibition (DATE)*. Dresden, Germany, 2016, pp. 1036–1041. DOI: https://doi.org/10.3850/9783981537079_0946



6. Dao A. Q., Lee N.-Z., Chen L.-C., Lin M. P.-H., Jiang R. J.-H., Mishchenko A., Brayton R. Efficient computation of ECO patch functions. *Proceedings of the 55th Annual Design Automation Conference*. San Francisco, California, USA, 2018, no. 51, pp. 1–6. DOI: <https://doi.org/10.1109/DAC.2018.8465898>
7. Een N. MiniSAT — A sat solver with conflict clause minimization. *SAT Competition 2005: 8th Intern. Conf. on theory and applications of satisfiability testing*. St. Andrews, Scotland, UK, 2005, pp. 502–518.
8. Janota M., Marques-Silva J. Solving QBF by clause selection with conflict clause minimization. *Proceedings of the Twenty-Fourth International Joint Conference on Artificial Intelligence*. Buenos Aires, Argentina, 2015, pp. 325–331.
9. Matrosova A. Y., Andreeva V. V. Minimizing the Boolean Function System Oriented Toward Self-Checking Finite-State Machine Design. *Avtometriya [Autometry]*, 2008, vol. 44, no. 5, pp. 100–111 (in Russian).
10. ABC: A System for Sequential Synthesis and Verification. Available at: <https://people.eecs.berkeley.edu/~alanmi/abc/> (accessed 22 April 2019).
11. Matrosova A., Ostanin S. Trojan Circuits Masking and Debugging of Combinational Circuits with LUT Insertion. *Automation, Quality and Testing, Robotics. IEEE International Conference. 2018 (AQTR 2018)*. Cluj-Napoca, Romania, 2018, pp. 462–467. DOI: <https://doi.org/10.1109/AQTR.2018.8402793>

Cite this article as:

Matrosova A. Yu., Provkina V. A., Andreeva V. V. Masking of Internal Nodes Faults Based on Applying of Incompletely Specified Boolean Functions. *Izv. Saratov Univ. (N. S.), Ser. Math. Mech. Inform.*, 2020, vol. 20, iss. 4, pp. 517–526 (in Russian). DOI: <https://doi.org/10.18500/1816-9791-2020-20-4-517-526>
